

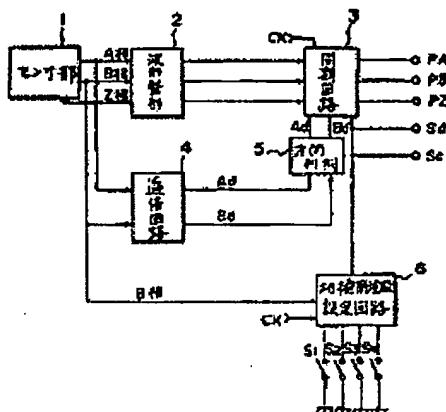
## ENCODER

Patent number: JP62257065  
 Publication date: 1987-11-09  
 Inventor: IIJIMA KENZABURO; HAYASHI YOSHINORI  
 Applicant: YAMAHA CORP  
 Classification:  
 - international: G01D5/245; G01P3/481  
 - european:  
 Application number: JP19860101809 19860501  
 Priority number(s): JP19860101809 19860501

[Report a data error here](#)

## Abstract of JP62257065

**PURPOSE:** To prevent the generation of EMI and to ensure high resolving power when the speed of a moving body is low, by outputting an original signal or divided signal having frequency, which corresponds to the moving speed of the moving body, corresponding to the change in the speed of the moving body.  
**CONSTITUTION:** A-phase and B-phase pulses corresponding to the rotational speed of a motor and a Z-phase pulse showing that the rotary shaft of the motor reaches a predetermined position are respectively outputted from a sensor part 1. Said pulses are applied not only to a synchronous circuit 3 through a waveform shaping circuit 2 but also to a multiplier circuit 4. When the motor rotates at a low speed, a change-over frequency setting circuit 6 outputs no signal Sd and the synchronous circuit 3 outputs a multiplied pulse and, as a result, a speed can be detected with high resolving power. When the motor rotates at a high speed and the number of rotations exceed the speed set to each of manual switches S1-S4, A- and B-phase pulses are outputted.




---

Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

**THIS PAGE BLANK (USPTO)**

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

## ⑫ 公開特許公報 (A)

昭62-257065

⑩ Int.Cl.<sup>1</sup>G 01 P 3/481  
G 01 D 5/245

識別記号

102

厅内整理番号

D-8203-2F  
7905-2F

⑬ 公開 昭和62年(1987)11月9日

審査請求 未請求 発明の数 1 (全5頁)

⑤ 発明の名称 エンコーダ

② 特願 昭61-101809

② 出願 昭61(1986)5月1日

⑦ 発明者 飯島 健三郎 浜松市中沢町10番1号 日本楽器製造株式会社内  
 ⑦ 発明者 林 好典 浜松市中沢町10番1号 日本楽器製造株式会社内  
 ⑦ 出願人 日本楽器製造株式会社 浜松市中沢町10番1号  
 ⑦ 代理人 弁理士 志賀 正武 外2名

## 明細書

## 1. 発明の名称

エンコーダ

## 2. 特許請求の範囲

(1) 移動体の移動速度に対応する周波数を有する原信号を発生する原信号発生手段と、前記原信号のn倍もしくは $2^n$ 倍(nは整数)の周波数を有する分割信号を発生する分割信号発生手段と、前記原信号もしくは前記分割信号から移動体の移動速度を検出し、この移動速度が基準速度を超えていれば前記原信号を選択し、前記移動速度が基準速度以内であれば前記分割信号を選択して出力する信号切換回路とを具備することを特徴とするエンコーダ。

(2) 前記信号切換回路は、前記基準速度を任意に設定し得る基準速度設定手段を有することを特徴とする特許請求の範囲第1項記載のエンコーダ。

(3) 前記信号切換回路は、外部から供給される信号によって前記基準速度が設定されることを特

徴とする特許請求の範囲第1項記載のエンコーダ。

## 3. 発明の詳細な説明

## 「産業上の利用分野」

この発明は、変位や運動速度を検出する際に用いて好適なエンコーダに関する。

## 「従来の技術」

ロータリエンコーダ等の変位／運動速度検出用のエンコーダにおいては、90°位相の異なる2相のパルス信号(A,B相)を出力するとともに基準位置(原点)を示すパルス信号(Z相)を出力するようしている。この場合のエンコーダの分解能は、A相(あるいはB相)の1/4周期である。これは、例えばA相およびB相パルスのいづれか一方が変化した時に1パルスを発生する回路を構成し、実質的な遅倍を行うことにより達成される。

一方、高分解能タイプのエンコーダは、原信号であるA,B相パルスを数倍に遅倍したパルスを出力するようになっており、これにより、上述の一般型よりも高い分解能を得ている。

## 「発明が解決しようとする問題点」

# BEST AVAILABLE COPY

特開昭62-257065(2)

ところで、上述した各エンコーダを用いてモータの回転速度を検出する場合について考えてみると、高速型のものにあっては、モータの低速時においても高分解能の速度信号を出力することができるが、モータの高速時における出力パルス周波数が数MHzのオーダとなるため、後段の処理回路に高速性が要求されて製造の困難性やコストの上昇という問題が生じ、また、高調波妨害(EMI)が発生するという欠点があった。一方、一般型のエンコーダにあっては、モータの高速時における出力パルス周波数が200Hz程度であるから、処理回路の高速性やEMI等の問題は生じないが、モータの低速時における分解能が低く、制御の高精度化が望めないという欠点があった。

この発明は、上述した事情に鑑みてなされたもので、モータ等の検出対象の速度が高い場合でも出力パルスの周波数が高くならず、処理回路の高速性が要求されないとともに、EMI等の発生を防止でき、かつ、検出対象の速度が低い場合における分解能を高くすることができるエンコーダを

て説明する。

第1図は、この発明の一実施例の構成を示すブロック図である。この図において、1はセンサ部であり、検出対象であるモータの軸とともに回転する円板と、この円板に付されている光学パターンもしくは磁気パターンを検出する光センサもしくは磁気センサとから成っている。このセンサ部1からは、モータの回転速度に対応するA相、B相パルス(原信号)およびモータ回転軸が所定の位置(基準位置)に達したことを示すZ相パルスが各々出力され、各パルスは各々波形整形回路2によって波形整形された後に同期回路3に供給される。

第2図(イ)、(ロ)は、各々波形整形後のA相およびB相パルスの波形例であり、図示のように各パルスの位相は1/4周期ずれている。この図ではA相の位相が進んでいるが、モータ回転方向が反転するとB相パルスが進むようになっている。

次に、4はA相およびB相パルスを遅倍する遅回路であり、各パルスを波形整形するとともに、PLL(フェイズ・ロックド・ループ)を用いた遅

提供することを目的としている。

## 「問題点を解決するための手段」

この発明は、問題点を解決するために、移動体の移動速度に対応する周波数を有する原信号を発生する原信号発生手段と、前記原信号のn倍もしくは2<sup>n</sup>倍の周波数を有する分割信号を発生する分割信号発生手段と、前記原信号もしくは前記分割信号から移動体の移動速度を検出し、この移動速度が基準速度を超えていれば前記原信号を選択し、前記移動速度が基準速度以内であれば前記分割信号を選択して出力する信号切換回路とを具備している。

## 「作用」

移動体の速度が低い場合には、分割信号が出力されて高分解能が保証され、また、移動体の速度が高い場合には原信号が出力されて、後段回路の高速化が不要となるとともに、EMIが防止される。

## 「実施例」

以下、図面を参照してこの発明の実施例につい

て説明する。

倍手段によりAおよびB相をn倍倍し(nは整数)、パルスAd,Bdとして出力する。第2図(ハ)、(ニ)は、各々遅倍回路4の出力信号であるパルスAd,Bdを示しており、この図に示すように、パルスAd,Bdは、その周期がA相、B相パルスの1/nであり、またその位相が互いに1/4周期ずれている。パルスAd,Bdは、各々方向判別回路5を介して前述した同期回路3に供給されるようになっている。方向判別回路5は、パルスAd,Bdの位相関係からモータの回転方向を検出する回路であり、回転方向を示す信号Se("1"/"0")を出力する。

6は切換周波数設定回路であり、B相パルス(A相パルスでもよい)が"1"レベルとなっている期間においては、システムクロックCKをカウントし、このカウント結果とマニュアルスイッチS<sub>1</sub>～S<sub>4</sub>によって設定されている基準値とを比較する。また、B相パルスが"0"レベルとなっている期間においては、カウント内容をクリアするとともに、上記比較におけるカウント値が基準を超えた場合に、カウント値を初期化する。

た場合に信号  $S_d$  を出力する。すなわち、第3図に示す期間  $T_a, T_a \dots$ においては、システムクロック  $C_K$  をカウントし、期間  $T_b, T_b \dots$ においては、カウント内容をクリアするとともに、比較結果である信号  $S_d$  を出力する。

同期回路3は、信号  $S_d$  が供給されているときは、波形整形後のA,B相パルスを各々パルス  $P_A, P_B$  として出力し、また、信号  $S_d$  が供給されていないときはパルス  $A_d, B_d$  を各々パルス  $P_A, P_B$  として出力する。また、同期回路3は、信号  $S_d$  の有無に拘わらず、波形整形後のZ相パルスをパルス  $P_Z$  として出力する。すなわち、同期回路3は、出力  $S_d$  によってA,B相パルスとパルス  $A_d, B_d$  を切り換えて出力する。この場合、同期回路3は、入力端に供給される信号をシステムクロック  $C_K$  によってラッチしてから出力するようにしており、これにより、上記パルスの切換時における出力側の同期が取られるようになっている。

上述した構成によれば、モータが低速回転をし

込むように構成してもよい。

次に、第4図は、この発明の他の実施例の構成を示すブロック図である。図において信号  $S_A, S_B$  は、検出対象であるモータの回転に対応する  $\sin\theta$  および  $\cos\theta$  の信号であり、各々第1図に示すA相、B相パルスに対応する信号である。この信号  $S_A, S_B$  は、磁気的もしくは光学的手段により所定周期の正弦信号が多周期に渡って付されているスケールを、相対的に1/4周期ずらされた2個のセンサ(磁気もしくは光センサ)で読み取ることによって得られる信号である。

I0は速度検出回路であり、以下に述べる各処理を行う。①信号  $S_A, S_B$  を波形整形して前述したA相、B相パルスのような矩形波を形成し、この信号からモータの回転方向を検出して方向判別信号  $S_d$  を出力する。②上述した矩形波のいづれか一方(もしくは双方)を速度信号  $S_v$  として出力する。③PLI回路を用いて信号  $S_A, S_B$  から  $\theta$  を検出し、この検出した  $\theta$  を多数ビットのデジタル信号  $D_\theta$  として出力する。

ているときは、切換周波数設定回路6が信号  $S_d$  を出力しないから、同期回路3は通常されているパルス  $A_d, B_d$  をパルス  $P_A, P_B$  として出力し、この結果、パルス  $P_A, P_B$  に基づいて高分解能の速度検出を行うことができる。また、利用者側は、信号  $S_d$  が出力されていないことから、現時点においては、通常されたパルスが出力されていることを知ることができ、さらに、信号  $S_c$  の値によってモータの回転方向を知ることができる。

一方、モータが高速で回転し、この回転数がマニュアルスイッチ  $S_1 \sim S_4$  で設定された速度を超えると、切換周波数設定回路6から信号  $S_d$  が出力され、パルス  $P_A, P_B$  としては、A,B相パルスが出力される。この高速時においては、A,B相パルスでも十分な分解能を得ることができるとともに、通常されたパルス  $A_d, B_d$  に比べて周波数が低いので、EMI障害がなく、また、後段回路に高速性が要求されることがない。

なお、上記実施例におけるマニュアルスイッチ  $S_1 \sim S_4$  に代えて、外部から基準値データを書き

次に、IIはビット切換回路であり、モータ回転が低速から高速に向かうに従って、デジタル信号  $D_\theta$  の最下位ビットから順次高位側のビットに切り換えて出力する回路である。すなわち、出力信号  $D_n$  は、 $D_{\theta \min}$  から  $D_{\theta \max}$ (原信号)までの間のいづれか1ビットの信号である。また、ビット切換回路IIは、現時点において選択しているビット番号を示す信号  $S(n)$  を出力する。ビット切換回路IIのモータ回転速度検出動作は、例えば、デジタル信号  $D_\theta$  の最下位ビット  $D_{\theta \min}$  から出力される信号の周波数を判定することにより行なわれる。

上述した構成によれば、モータ回転速度が低い場合は、ビット切換回路IIからデジタル信号  $D_\theta$  の下位側ビットが出力されて分解能が高くなり、また、モータ回転速度が高い場合は、ビット切換回路IIからデジタル信号  $D_\theta$  の上位ビット側が出力されて出力周波数が押さえられる。すなわち、前述した第1図に示す実施例と同様の効果が得られる。

## 「発明の効果」

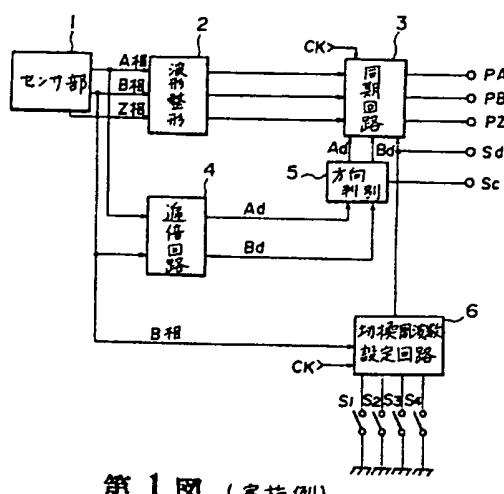
以上説明したように、この発明によれば、移動体の移動速度に対応する周波数を有する原信号を発生する原信号発生手段と、前記原信号のn倍もしくは $2^n$ 倍の周波数を有する分割信号を発生する分割信号発生手段と、前記原信号もしくは前記分割信号から移動体の移動速度を検出し、この移動速度が基準速度を超えていれば前記原信号を選択し、前記移動速度が基準速度以内であれば前記分割信号を選択して出力する信号切換回路とを具備したので、モータ等の検出対象(移動体)の速度が高い場合でも出力パルスの周波数が高くならず、これにより、後段の処理回路の高速性が要求されないとともに、EMI等の発生を防止でき、また、検出対象の速度が低い場合においては分割信号が出力されるから高分解能を得ることができる。

## 4. 図面の簡単な説明

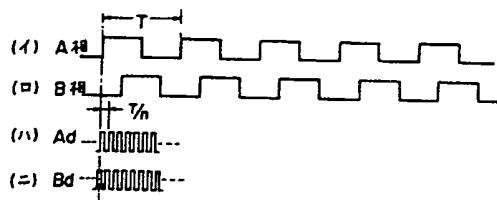
第1図はこの発明の一実施例構成を示すブロック図、第2図および第3図は同実施例の回路各部の波形図、第4図はこの発明の他の実

1 ……センサ部(原信号発生手段)、3 ……同期回路(信号切換回路)、4 ……倍倍回路(分割信号発生手段)、6 ……切換周波数設定回路(信号切換回路)、11 ……ビット切換回路(信号切換回路)、S<sub>1</sub>～S<sub>4</sub> ……マニュアルスイッチ(信号切換回路)。

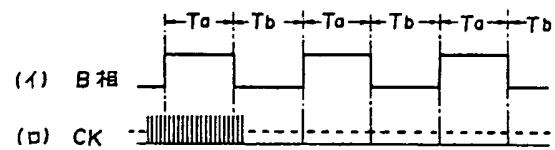
出願人 日本楽器製造 株式会社



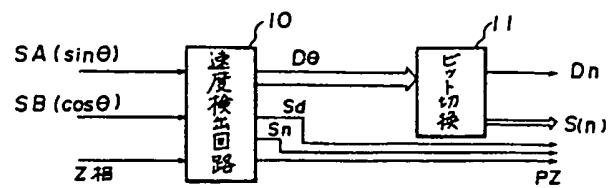
第1図 (実施例)



第2図 (実施例の波形図)



第3図 (実施例の波形図)



第4図 (他の実施例)

# BEST AVAILABLE COPY

特開昭62-257065 (5)

手続補正登録 (自発)

61.7.25  
昭和 年 月 日

特許庁長官 謹

1. 事件の表示



昭和61年特許第101809号

2. 発明の名称

エンコーダ

3. 補正をする者

事件との関係 特許出願人  
(407)日本電器製造株式会社

4. 代理人

東京都中央区八重洲2丁目1番5号

東京駅前ビル6階

弁理士(6490)志賀正武



5. 補正の対象

明細書の「発明の詳細な説明」の箇。

6. 補正の内容

第3頁11行目の「200Hz」を「200KHz」と補正する。



**THIS PAGE BLANK (USPTO)**